

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 08264766
PUBLICATION DATE : 11-10-96

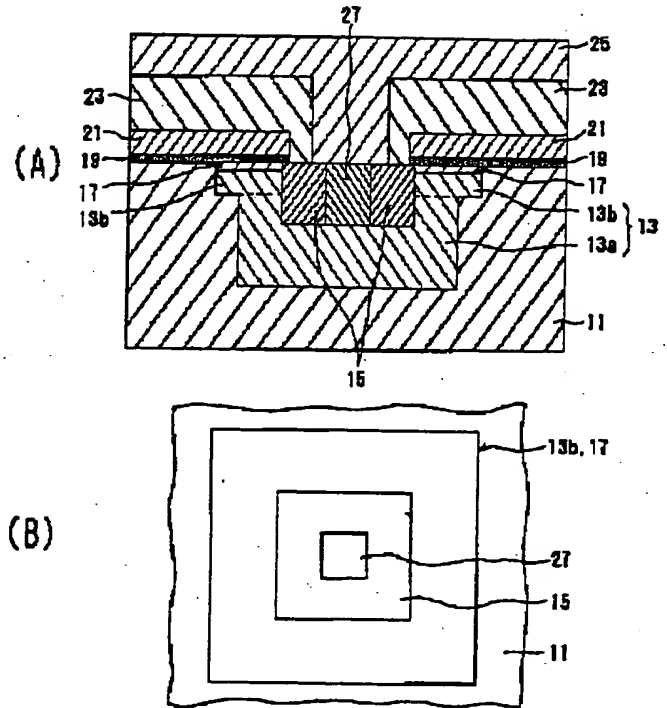
APPLICATION DATE : 27-03-95
APPLICATION NUMBER : 07067520

APPLICANT : OKI ELECTRIC IND CO LTD;

INVENTOR : AKIYAMA YUTAKA;

INT.CL. : H01L 29/78

TITLE : FIELD-EFFECT TRANSISTOR AND ITS
MANUFACTURE



ABSTRACT : **PURPOSE:** To reduce the degree that the periphery of the end portion of a second conductivity type diffusion region may turn into a first conductivity type diffusion region, as compared with the conventional case, by forming the second conductivity type diffusion region and the first conductivity diffusion region constituting a channel part, in the manner in which the respective transversal ends almost coincide with each other.

CONSTITUTION: A P-type diffusion region 13 is constituted of a first P-type diffusion region 13a and a second P-type diffusion region 13b deeper than an N-type diffusion region 17 which is formed on the surface layer part of the region 13a and constitutes a channel part 17. These diffusion regions 13b, 17 are formed on the substrate 11 in the following manner; the end portion in the transversal direction of the P-type diffusion region 13, i.e., the end portion in the transversal direction of the second P-type diffusion region 13b coincides with the end portion in the transversal direction of the N⁺ type diffusion region 17 constituting the channel part. Thereby the degree that the periphery of the end portion of the second conductivity type diffusion region turns to the first conductivity type diffusion region of high concentration is reduced, so that electric field concentration of the second conductivity type region is relieved.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-264766

(43)公開日 平成8年(1996)10月11日

(51)Int.Cl.⁶

H 0 1 L 29/78

識別記号

庁内整理番号

9055-4M

F I

H 0 1 L 29/78

技術表示箇所

6 5 2 B

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21)出願番号 特願平7-67520

(22)出願日 平成7年(1995)3月27日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 古田 建一

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 秋山 豊

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

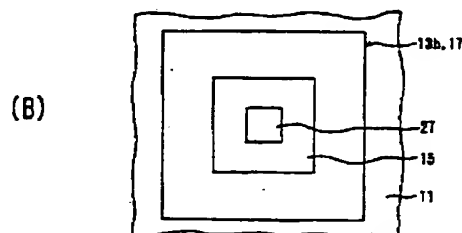
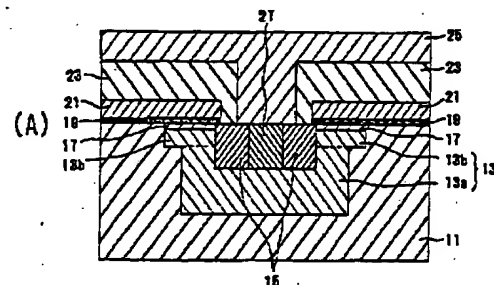
(74)代理人 弁理士 大垣 孝

(54)【発明の名称】 電界効果トランジスタおよびその製造方法

(57)【要約】

【目的】 耐圧が従来より高い拡散型のかつデプリーション型の電界効果トランジスタを提供する。

【構成】 N^+ 型シリコン基板11と、該基板11の一部に形成されたP型拡散領域13と、該P型拡散領域13の一部表面から該領域より浅い深さで形成されたソースコンタクト用の N^+ 型拡散領域15と、前記P型拡散領域13の、前記ソースコンタクト用の N^+ 型拡散領域15が形成された部分以外の部分の表層部に形成されチャネル部を構成する N^+ 型拡散領域17と、該 N^+ 型拡散領域17上に形成されたゲート絶縁膜19と、を具えたデプリーション型の電界効果トランジスタにおいて、P型拡散領域13および N^+ 型拡散領域17おのおのの横方向の終端が略一致の状態となるように、これら拡散領域13, 17を具える。



- 11 : 第1導電型の半導体下地 (N^+ 型シリコン基板)
13 : 第2導電型の拡散領域 (P型拡散領域)
13a : 第1の第2導電型の拡散領域
13b : 第2の第2導電型の拡散領域
15 : 高濃度の第1導電型の拡散領域
(ソースコンタクト用の N^+ 型拡散領域)
17 : チャネル部を構成する第1導電型の拡散領域 (N^+ 型拡散領域)
19 : ゲート絶縁膜 21 : ゲート電極
23 : 中間絶縁膜 25 : 配線 (ソース電極)
27 : 高濃度の第2導電型の拡散領域
(ソースコンタクト用のP型拡散領域)
図1の実施例の説明図

1

【特許請求の範囲】

【請求項1】 第1導電型の半導体下地と、該下地の一部に形成された第2導電型の拡散領域と、該第2導電型の拡散領域の一部表面から該領域より浅い深さで形成された高濃度の第1導電型の拡散領域と、前記第2導電型の拡散領域の、前記高濃度の第1導電型の拡散領域が形成された部分以外の部分の表層部の少なくとも一部に形成されチャネル部を構成する第1導電型の拡散領域と、該第1導電型の拡散領域上に形成されたゲート絶縁膜と、を具えたデプリーション型の電界効果トランジスタにおいて、前記第2導電型の拡散領域およびチャネル部を構成する前記第1導電型の拡散領域おのおのの横方向の終端が略一致の状態となるように、これら拡散領域を具えたことを特徴とする電界効果トランジスタ。

【請求項2】 請求項1に記載の電界効果トランジスタにおいて、

前記略一致の範囲を、前記第2導電型の拡散領域の横方向の終端に対しチャネル部を構成する前記第1導電型の拡散領域の終端が一致している状態から1 μ m張り出した状態までの範囲としたことを特徴とする電界効果トランジスタ。

【請求項3】 請求項1または2に記載の電界効果トランジスタにおいて、

前記第2導電型の拡散領域を、第1の第2導電型の拡散領域と、該第1の第2導電型の拡散領域の表層部に形成されかつ前記チャネル部を構成する第1導電型の拡散領域よりは深い深さの第2の第2導電型の拡散領域とで構成してあることを特徴とする電界効果トランジスタ。

【請求項4】 第1導電型の半導体下地と、該下地の一部に形成された第2導電型の拡散領域と、該第2導電型の拡散領域の一部表面から該領域より浅い深さで形成された高濃度の第1導電型の拡散領域と、前記第2導電型の拡散領域の、前記高濃度の第1導電型の拡散領域が形成された部分以外の部分の表層部の少なくとも一部に形成されチャネル部を構成する第1導電型の拡散領域と、該第1導電型の拡散領域上に形成されたゲート絶縁膜と、を具えたデプリーション型の電界効果トランジスタを製造するに当たり、

第1導電型の半導体下地上に、該下地の第2導電型の拡散領域を形成する予定領域に当たる部分を露出する開口部を有した拡散マスクを、形成する工程と、

該拡散マスクの形成の済んだ第1導電型の半導体下地に第2導電型の拡散領域を形成するための不純物を導入する工程と、

該不純物を導入する工程を終えた後、前記拡散マスクに対しその開口部の開口寸法が所定寸法広がるようにエッチング処理する工程と、

該エッチング処理の済んだ拡散マスクを有した状態の半導体下地に、チャネル部を構成する第1導電型の拡散領

2

域を形成するための不純物を導入する工程とを含むことを特徴とする電界効果トランジスタの製造方法。

【請求項5】 請求項4に記載の電界効果トランジスタの製造方法において、

前記第2導電型の拡散領域を形成するための不純物の導入は、該不純物を前記下地の深い深さにまで導入する第1の工程と前記下地の表層部に導入する第2の工程とをこの順に実施することにより行うことを特徴とする電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、VD (Vertical Diffusion: 縦拡散) MOSFET (Metal Oxide Semiconductor Field Effect Transistor) に代表される拡散型の電界効果トランジスタでかつデプリーション型の電界効果トランジスタの構造およびその製造方法に関するものである。

【0002】

【従来の技術】 拡散型の電界効果トランジスタが例えば高耐圧用の素子として注目されている（例えば文献1：電子技術1989-6第18～20頁）。このような拡散型の電界効果トランジスタにも、デプリーション型およびエンハンスメント型おのおのがあり（上記文献1の第29～31頁）、これらは用途に応じ使い分けられている。

【0003】

【発明が解決しようとする課題】 拡散型のかつデプリーション型の電界効果トランジスタの一例として、例えば図9(A)の断面図および、拡散領域の位置関係に着目して示した図9(B)の要部平面図にそれぞれ示した構造を有したものが、考えられる。すなわち、第1導電型の半導体下地としてのN⁻型シリコン基板11と、この基板11の一部に形成された第2導電型の拡散領域としてのP型拡散領域13と、このP型拡散領域13の一部表面からこの領域13より浅い深さで形成された高濃度の第1導電型の拡散領域としてのソースコンタクト用のN⁺型拡散領域15と、P型拡散領域13の、前記ソースコンタクト用のN⁺型の拡散領域15が形成された部分以外の部分の表層部の少なくとも一部（この例では全部）に形成されチャネル部を構成するN⁺型拡散領域17と、該N⁺型拡散領域17上に形成されたゲート絶縁膜19と、を具えた電界効果トランジスタである。なお、図9において、21はゲート電極、23は中間絶縁膜、25は配線この例ではソース電極、27は主にソースコンタクト抵抗の低減および耐圧向上のために設けたP⁺型の拡散領域をそれぞれ示す。

【0004】 この図9を用いて説明した電界効果トランジスタでは、チャネル部を構成しているN⁺型拡散領域17の横方向の張り出しがP型拡散領域13のそれより少ないと、図10(A)に示した様に、チャネル部の一

10

20

【0010】

30

40

[0008]

【0009】また、この出願の第二発明の電界効果トランジスタの製造方法によれば、第2導電型の拡散領域を形成する際に用いた拡散マスク自体の開口部をエッチングによって所定寸法広げた拡散マスクを、チャネル部を構成する第1導電型の拡散領域形成時の拡散マスクとして利用する。このため、チャネル部を構成する第1導電型の拡散領域を第2導電型の拡散領域に対し所定の大きさ関係でかつセルフアライン的に形成出来る。

【0010】

【0011】 1. 構造の説明

1-1. 構造の第1の実施例

【0012】この第1の実施例の電界効果トランジスタは、N⁺型シリコン基板11と、この基板11の一部に形成されたP型拡散領域13と、このP型拡散領域13の一部表面からこの領域13より浅い深さで形成されたソースコンタクト用のN⁺型拡散領域15と、P型拡散領域13の、前記ソースコンタクト用のN⁺型の拡散領域15が形成された部分以外の部分の表層部の少なくとも一部（この第1の実施例では全部）に形成されチャネル部を構成するN⁺型拡散領域17と、該N⁺型拡散領域17上に形成されたゲート絶縁膜19と、を具える。さらに、この実施例の電界効果トランジスタでは、P型拡散領域13を、第1のP型拡散領域13aと、該第1のP型拡散領域13aの表層部に形成されかつ前記チャネル部を構成するN⁺型拡散領域17よりは深い深さの第2のP型拡散領域13bとで構成してある。そして、

P型拡散領域13の横方向の終端この場合はP型拡散領域13のうちの第2のP型拡散領域13bの横方向の終端と、チャネル部を構成するN⁺型拡散領域17の横方向の終端とが略一致の状態となるように、これら拡散領域13b、17を基板11に具えている。なお、図1において、21はゲート電極、23は中間絶縁膜、25は配線この場合はソース電極、27は主にソースコンタクト抵抗の低減および耐圧向上のために設けたP⁺型の拡散領域をそれぞれ示す。

【0013】次に、この第1の実施例の電界効果トランジスタにおいて、第2のP型拡散領域13bの横方向の終端と、チャネル部を構成するN⁺型拡散領域17の横方向の終端とを略一致させる範囲をどの程度とするのが良いかについて説明する。このため、第2のP型拡散領域13bの横方向の終端に対しチャネル部を構成するN⁺型拡散領域17の横方向の終端の張り出し寸法を両終端が一致している状態から4μm程度まで徐々に違えた（詳細には上記張り出し寸法を、0、0.5、0.8、1、2、3、4μmとそれぞれ違えた）こと以外は同様にして、複数の実験用の電界効果トランジスタをそれぞれ作製し、それぞれでの耐圧を測定する。なお、実験においては、N⁻型のシリコン基板11としてN型不純物濃度が $3.0 \times 10^{15} \text{ ions/cm}^3$ 以下のもの、ここでは $2 \times 10^{14} \text{ ions/cm}^3$ のものをを用いる。また、耐圧は、ゲート電極21（図10参照）にマイナスの電位、ドレイン（N⁻型シリコン基板11）にプラスの電位をそれぞれかけた状態で印加電圧を可変してゆくことで測定する。

【0014】図2は、上記張り出し寸法を横軸にとり、上記耐圧を縦軸にとって両者の関係を示した特性図である。この図2から理解出来る様に、第2のP型拡散領域13bの横方向の終端に対しチャネル部を構成するN⁺型拡散領域17の横方向の終端の張り出し寸法を1μm以内にすると、耐圧を向上し得る効果が顕著になることが分かる。一方、第2のP型拡散領域13bの横方向の終端がチャネル部を構成するN⁺型拡散領域17の横方向の終端より張り出した場合は、図10（A）を用いて既に説明した様に、素子自体がエンハンスメント型の電界効果トランジスタとして動作してしまう危険が高い。これらの点から、この実施例の場合、第2のP型拡散領域13bの横方向の終端に対しチャネル部を構成するN⁺型拡散領域17の横方向の終端が一致している状態から1μm張り出した状態までの範囲となるように、第2のP型拡散領域13bおよびN⁺型拡散領域17それぞれを基板11に具えるのが良いことが分かる。

【0015】また、P型拡散領域13を第1のP型拡散領域13aおよび第2のP型拡散領域13bの2つの領域で構成している理由は次のようなことである。拡散深さが深いP型領域13を1度に形成しようとする表層部の特に終端の濃度プロファイルが不明確になり易くなる

ためチャネル部を構成するN⁺型拡散領域17とP型領域13との関係を明確にできなくなる。これに対し、この実施例のように、P型拡散領域13を第1および第2のP型拡散領域13a、13bで構成すると、P型拡散領域13の表層部での濃度プロファイルは第2のP型拡散領域13bによって明確にできるので、好ましい。

【0016】この第1実施例の電界効果トランジスタでは、ゲート電極21に電圧をかけないか、正の電圧をかけるかまたはしきい値以上の負の電圧をかけるかし、かつ、ドレインとしてのN⁻シリコン基板11に正の電圧をかけたとき、図3（A）に示した様に、N⁻シリコン基板21、チャネル部を構成するN⁺型拡散領域17、N⁺型拡散領域15およびソース電極25で構成される経路を、電流Iが流れる。一方、ゲート電極21にしきい値以上の負の電圧をかけたとき、図3（B）に示した様に、ゲート電極21下に存在していたN⁺型拡散領域は反転してしまいP型領域となってしまうので、ドレインからソースに電流が流れなくなる。

【0017】1-2. 構造の第2の実施例

上述の第1の実施例ではドレイン領域がN⁻型シリコン基板11の下部部分に存在する例を説明したが、ドレイン領域が、N⁻型シリコン基板11のチャネル部より少し離れた表面部分に存在する電界効果トランジスタに対してもこの第一発明は適用出来る。図4はその構造例を示した断面図である。N⁻型シリコン基板11の、チャネル部より少し離れた表面部分にドレイン領域31を具え、該ドレイン領域31上にドレイン電極33を具えた例を示している。平面図を省略するが、この場合のドレイン領域31は、P型拡散領域13を取り囲むように基板11に設けてある。

【0018】1-3. 構造の第3の実施例

上述の第1の実施例では、P型拡散領域13の、ソースコンタクト用のN⁺型拡散領域15が形成された部分以外の部分の表層部の全部にチャネル部を構成するN⁺型拡散領域17を具えた例を説明したが、当該表層部の一部分にチャネル部を構成するN⁺型拡散領域17を具えた構造に対しても、この第一発明は適用出来る。図5はその説明に供する平面図および断面図である。特に平面図は、各拡散領域の位置関係に着目して示した要部の図としてある。この第3の実施例では、P型拡散領域13、ソースコンタクト用のN⁺型拡散領域15およびP⁺型拡散領域27、ゲート絶縁膜19およびゲート電極21で構成される部分それぞれを、N⁻型シリコン基板11に、口の字状に設けてある（特に平面図参照）。そして、チャネル部を構成するN⁺型の拡散領域17は内側に位置している第2のP型拡散領域13b上のみ設けてある（特に断面図参照）。

【0019】2. 製造方法の説明

次に、第二発明としての電界効果トランジスタの製造方法の実施例について、図6～図8を参照して説明する。

ここで、図6～図8は、実施例の製造工程中の主な工程での試料の様子を図1と同様な位置での断面図によって示した工程図である。

【0020】まず、第1導電型の半導体下地として、N⁻型のシリコン基板11であって例えばN型の不純物濃度が $3.0 \times 10^{16} \text{ ions/cm}^3$ 以下の基板、例えばここでは $2 \times 10^{14} \text{ ions/cm}^3$ の基板を用意する。次に、この基板11上に、該基板11のP型拡散領域13を形成する予定領域に当たる部分を露出する開口部41aを有した拡散マスク41を形成する(図6(A))。この拡散マスク41の形成をこの実施例では次の手順で行なう。まず、基板11の表面に例えば熱酸化法により厚さが例えば少なくとも300nmの酸化膜(シリコン酸化膜)を成長させる。次に、この酸化膜に、基板11の、P型拡散領域13を形成する予定領域に当たる部分を露出する開口部41aを公知のフォトリソグラフィ技術およびエッチング技術により形成する。これにより、上記拡散マスク41を得る。

【0021】拡散マスク41の形成の済んだ基板11にP型拡散領域13を形成するための不純物を導入する。これをこの実施例では次の手順で行なう。まず、基板11表面に拡散制御用膜として膜厚が10～100nm程度の酸化膜(図示せず)を形成する。次に、拡散マスク41の開口より狭い開口を有した例えばレジストパターン43をマスクとして、基板11に例えば $5.0 \times 10^{12} \sim 2.0 \times 10^{14} \text{ ions/cm}^2$ のドーズ量で例えばボロンをインプラする。次に、レジストパターンを除去した後、この試料に対しアニールを例えば900～1200℃の温度範囲の好適な温度でかつ例えば30～240分の範囲の好適な時間実施して、第1のP型拡散領域13aを形成する(図6(B))。次に、この試料の表面に拡散制御用膜として膜厚が10～100nm程度の酸化膜(図示せず)を再び形成する。次に、拡散マスク41をマスクとして、この試料に例えば $1.0 \times 10^{13} \sim 2.0 \times 10^{14} \text{ ions/cm}^2$ のドーズ量で例えばボロンをインプラする。次に、この試料に対しアニールを例えば900～1200℃の温度範囲の好適な温度でかつ例えば30～240分の範囲の好適な時間実施して、第2のP型拡散領域13bを形成する。これにより、第1のP型拡散領域13aと第2のP型拡散領域13bとで構成された、P型拡散領域13が得られる(図6(C))。P型拡散領域13の形成を上述のように第1および第2のP型拡散領域13a、13bに分けて行なうと、表層部においても濃度プロファイルが鮮明なP型拡散領域13が得られ易い。

【0022】P型拡散領域13の形成が済んだ後に、拡散マスク41に対しその開口部41aの開口寸法が所定寸法広がるようにエッチング処理する。このためこの実施例では、拡散マスク41の開口部41aが各方向において所定寸法広がる様に、拡散マスク41をフッ酸を用

いたエッチング液によりエッチングする。この所定寸法とは、P型拡散領域13の表層部にこれから形成するチャネル部用のN⁺型の拡散領域の横方向の終端が、第2のP型拡散領域13bの横方向の終端に対し1μm以内で張り出すことができる拡散マスクとなり得る寸法であり、例えば1.4μm程度であることができる。濃度および温度の管理されたフッ酸系のエッチング液では、シリコン酸化膜を50nm/分の精度で再現性良くエッチングすることが可能であるので、拡散マスク41の開口部41aを上述のように所定寸法制御良く広げることは可能である。もちろん、エッチング手段は他の好適な方法であっても良い。上記エッチング処理の済んだ拡散マスク41を、以下図において41xとして示す。

【0023】エッチング処理の済んだ拡散マスク41xを有した状態の試料に、今度は、チャネル部を構成する第1導電型の拡散領域を形成する。これをこの実施例では次の手順により行なう。まず、エッチング処理の済んだ拡散マスク41xを有した試料の表面に拡散制御用膜として膜厚が10～100nm程度の酸化膜(図示せず)を再び形成する。次に、エッチング処理の済んだ拡散マスク41xをマスクとして、この試料に例えば $5.0 \times 10^{12} \sim 2.0 \times 10^{14} \text{ ions/cm}^2$ のドーズ量で例えばリンをインプラする。次に、この試料に対しアニールを例えば900～1200℃の温度範囲の好適な温度でかつ例えば30～240分の範囲の好適な時間実施して、チャネル部を構成する第1導電型の拡散領域としてのN⁺型拡散領域17を形成する(図7(A))。エッチング処理の済んだ拡散マスク41xは、拡散マスク41の開口部41aを所定寸法広げたものである(セルフアライン的に形成されたもの)であるので、N⁺型拡散領域17は、その横方向の終端が第2のP型拡散領域13bの横方向の終端に対し略一致の位置関係となって形成される。このため、P型拡散領域13の端部の周囲に高濃度のN型部分が存在する程度を従来より少なく出来るから、電界集中を従来より軽減できる。この結果、耐圧が改善された電界効果トランジスタを再現良く製造出来る。

【0024】その後、公知のフォトリソグラフィ技術およびイオン注入技術により、ソースコンタクト用のN⁺型拡散領域15およびP⁺型拡散領域27を、形成する(図7(B))。次に、公知の成膜技術および微細加工技術により、ゲート絶縁膜19およびゲート電極21をそれぞれ形成する(図8(A))。次に、公知の成膜技術および微細加工技術により中間絶縁膜23とコンタクトホール23aとを形成し、その後、配線(ソース電極)25を形成する(図8(B))。ゲート電極21は例えばポリシリコンにより、また、配線は例えばアルミニウムにより形成出来る。

【0025】上述においては、この出願の電界効果トランジスタの構造および製造方法の実施例についてそれぞ

10

20

30

40

50

れ説明したが、これら発明は上述の実施例に限られない。

【0026】例えば、上述の各実施例では、Nチャネル型の電界効果トランジスタの例を示したが、第一および第二発明いずれもPチャネル型の電界効果トランジスタに対し適用できる。その場合は、実施例の構成において導電型をすべて反対導電型とすれば良い。

【0027】また、上述の製造方法の実施例では、拡散マスク41の開口部41aを全方向において所定寸法広げる例を示した。これは、第2のP型拡散領域13bの、ソースコンタクト用の高濃度拡散領域25、27を形成した領域以外の表層部全部にチャネル部を形成する例を考えたからであった。しかし、第2のP型拡散領域13bの表層部の一部にチャネル部を形成する場合（例えば図5に示した例のような場合）は、必要な方向の寸法のみを広げるようにするのみで良い。また、その際は、チャネル部形成のインブラにおいて第2のP型拡散領域13bの一部をマスクするのが良い。

【0028】また、上述の製造方法の実施例ではインブラの際に拡散制御膜を用いる例を示しているがインブラの際のドーズ量やアニール条件を工夫することにより拡散制御膜を用いなくて各拡散領域を形成することも可能である。

【0029】また、上述の製造方法の実施例では拡散マスク41の形成材料として成長させた酸化膜を用いる例を示した。しかし、堆積させた酸化膜、成長させた窒化膜、堆積させた窒化膜、成長させたシリコンオキシナイトライド（酸窒化膜）、または、堆積させたシリコンオキシナイトライドを拡散マスク形成材料として用いても良い。

【0030】

【発明の効果】上述した説明から明らかなように、この出願の第一発明の電界効果トランジスタによれば、第2導電型の拡散領域およびチャネル部を構成する第1導電型の拡散領域おのおのの横方向の端が略一致の関係となるように、これら拡散領域を具えたので、第2導電型の拡散領域の端部の周囲が高濃度の第1導電型拡散領域となる程度が従来より軽減されるから、第2導電型の拡散領域の端部での電界集中が従来より緩和される。これがため、従来より耐圧の優れた拡散型のかつデプリーション型の電界効果トランジスタを提供出来る。

【0031】また、この出願の第二発明の電界効果トランジスタの製造方法によれば、第2導電型の拡散領域を形成する際に用いた拡散マスク自体の開口部をエッチングによって所定寸法広げた拡散マスクを、チャネル部を

構成する第1導電型の拡散領域形成時の拡散マスクとして利用する。従って、チャネル部を構成する第1導電型の拡散領域を第2導電型の拡散領域に対し所定の大きさ関係でかつセルフアライン的に形成出来るので、第2導電型の拡散領域およびチャネル部を構成する第1導電型の拡散領域おのおのの横方向の端が略一致の関係となった電界効果トランジスタを簡易に提供出来る。これがため、従来より耐圧の優れた拡散型のかつデプリーション型の電界効果トランジスタを再現性良くかつ安価に製造し得る方法を提供出来る。

【図面の簡単な説明】

【図1】第一発明の第1の実施例の説明図である。

【図2】第一発明の説明図であり、チャネル部の張り出し寸法と耐圧との関係を示した図である。

【図3】第一発明の第1の実施例のFETの動作説明図である。

【図4】第一発明の第2の実施例の説明図である。

【図5】第一発明の第3の実施例の説明図である。

【図6】（A）～（C）は、製造方法の実施例の説明に供する工程図である。

【図7】（A）および（B）は、製造方法の実施例の説明に供する図6に続く工程図である。

【図8】（A）および（B）は、製造方法の実施例の説明に供する図7に続く工程図である。

【図9】課題の説明図（その1）である。

【図10】課題の説明図（その2）である。

【図11】課題の説明図（その3）である。

【符号の説明】

11：第1導電型の半導体下地（N⁻型シリコン基板）

13：第2導電型の拡散領域（P型拡散領域）

13a：第1の第2導電型の拡散領域

13b：第2の第2導電型の拡散領域

15：高濃度の第1導電型の拡散領域（ソースコンタクト用のN⁺型拡散領域）

17：チャネル部を構成する第1導電型の拡散領域（N⁺型拡散領域）

19：ゲート絶縁膜

21：ゲート電極

23：中間絶縁膜

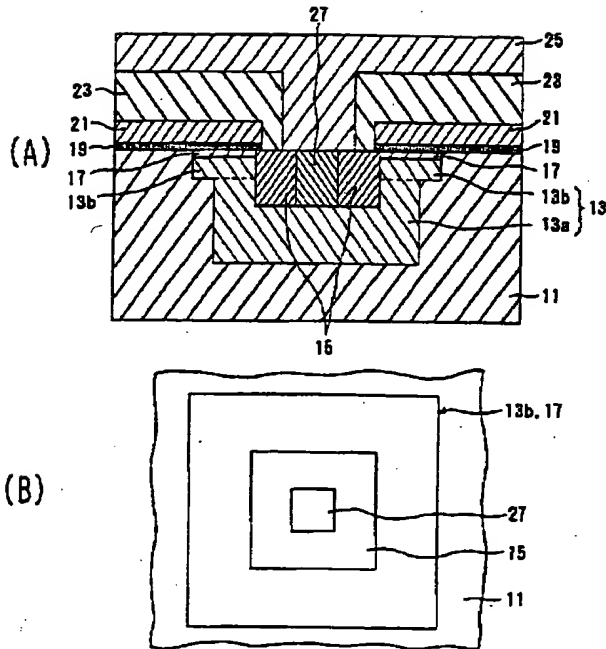
25：配線（ソース電極）

27：高濃度の第2導電型の拡散領域（ソースコンタクト用のP⁺型拡散領域）

41：拡散マスク

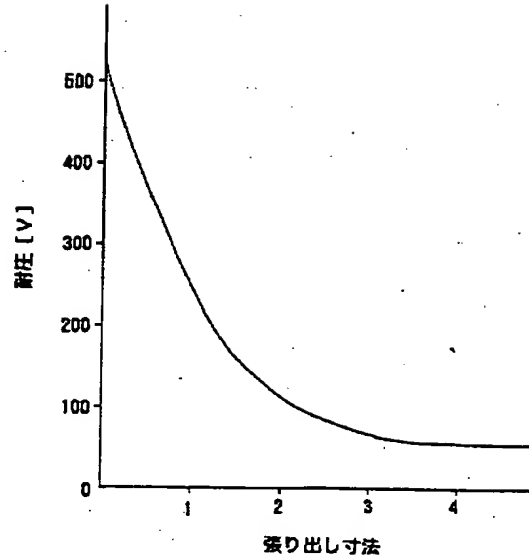
41x：エッチング処理の済んだ拡散マスク

【図1】



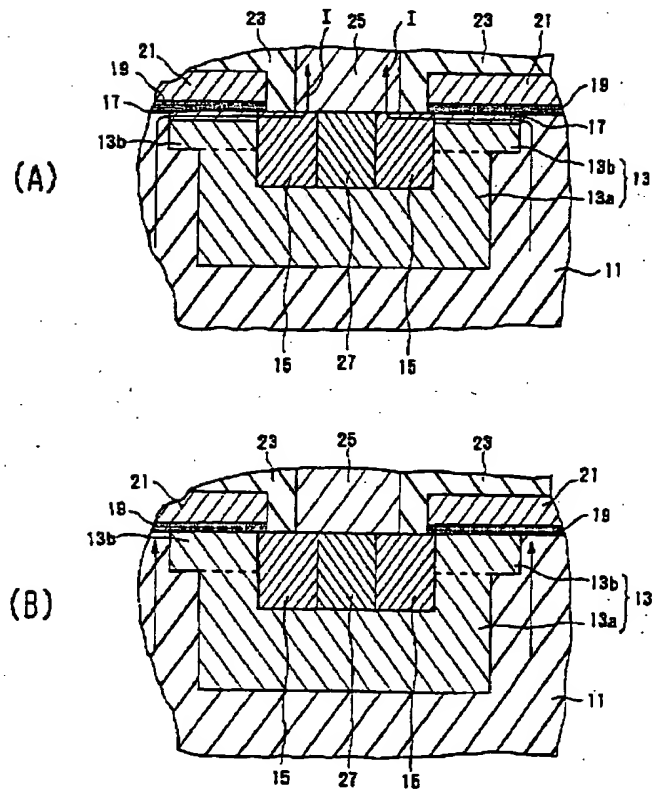
- 11 : 第1導電型の半導体下地 (N⁻型シリコン基板)
 13 : 第2導電型の拡散領域 (P型拡散領域)
 13a : 第1の第2導電型の拡散領域
 13b : 第2の第2導電型の拡散領域
 15 : 高濃度の第1導電型の拡散領域
 (ソースコンタクト用のN⁺型拡散領域)
 17 : チャネル部を構成する第1導電型の拡散領域 (N⁺型拡散領域)
 18 : ゲート絶縁膜 21 : ゲート電極
 23 : 中間絶縁膜 25 : 配線 (ソース電極)
 27 : 高濃度の第2導電型の拡散領域
 (ソースコンタクト用のP⁺型拡散領域)
 第1の実施例の説明図

【図2】



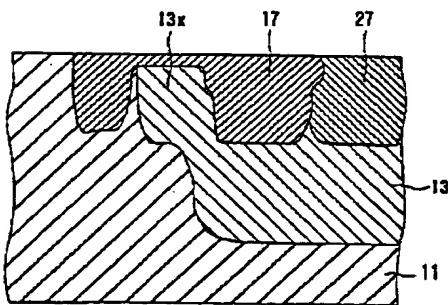
チャネル部の張り出し寸法と耐圧との関係図

【図3】



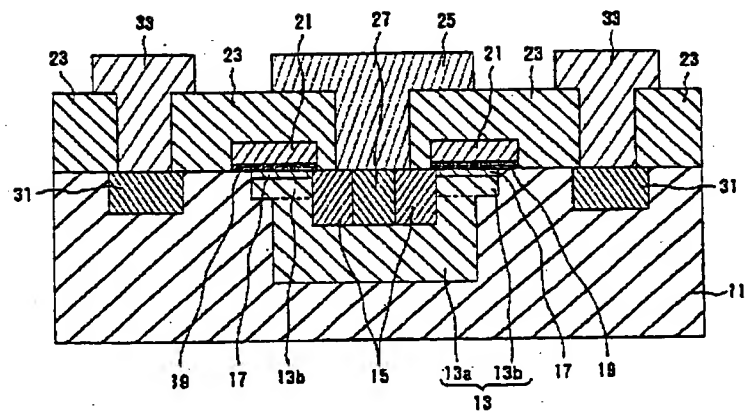
第1の実施例のFETの動作説明図

【図11】



膜層の説明図(その3)

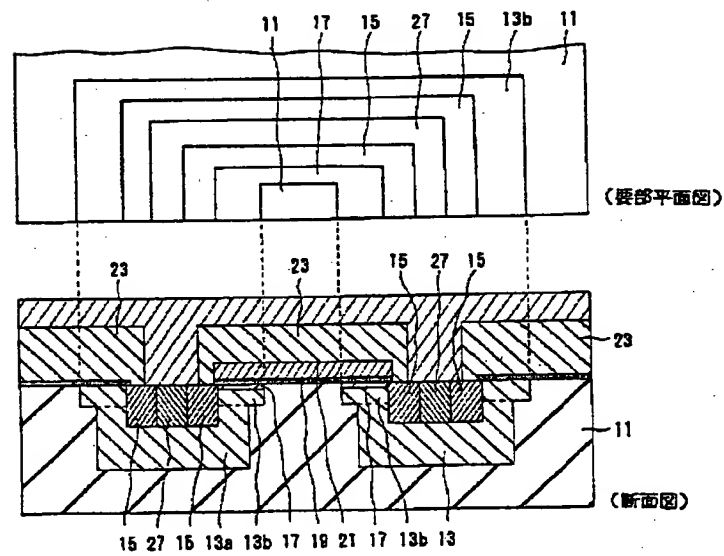
【図4】



31 : ドレイン領域 33 : ドレイン電極

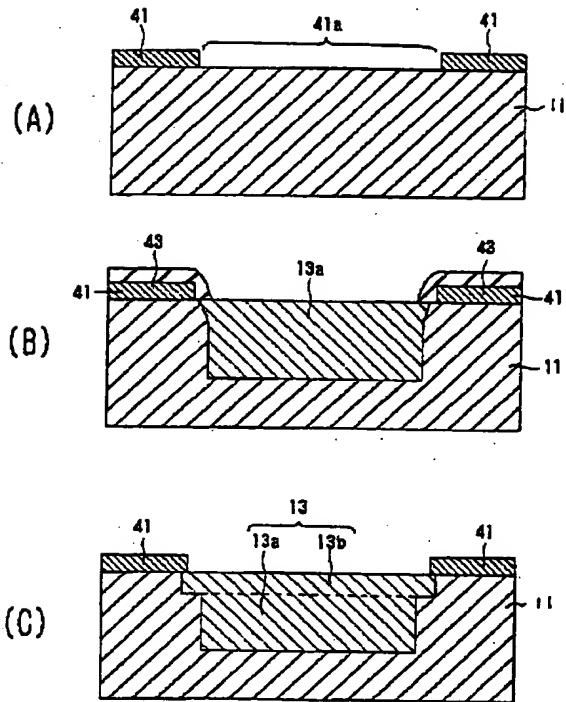
第2の実施例の説明図

【図5】



第3の実施例の説明に供する図

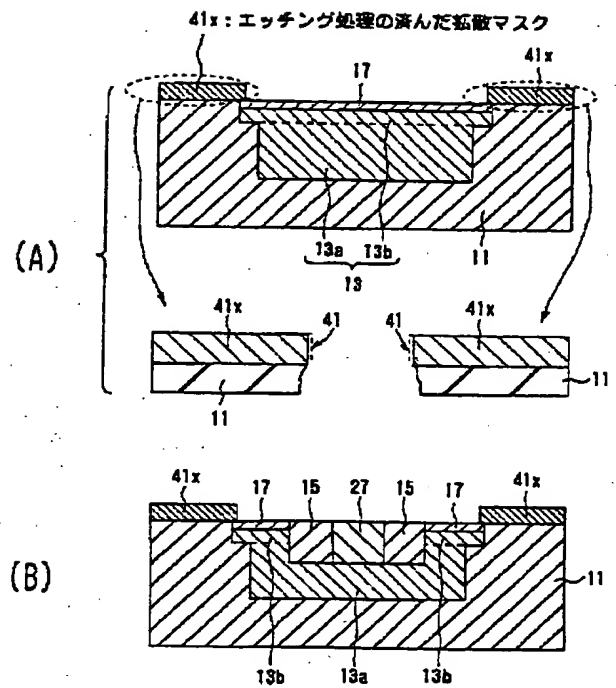
【図6】



41: 拡散マスク 41a: 開口部 43: レジストパターン

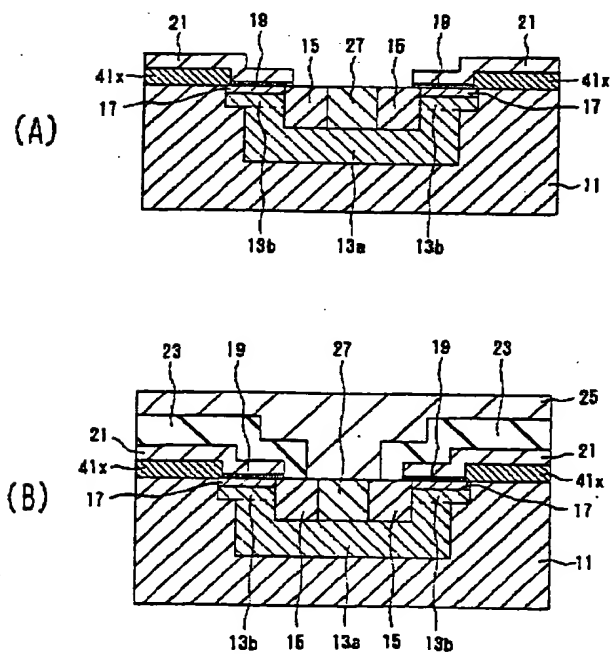
製造方法の実施例の説明に供する工程図(その1)

【図7】



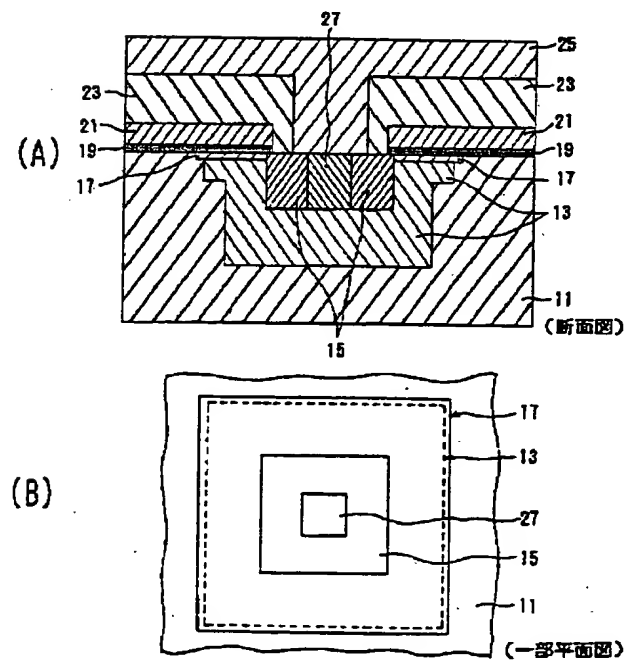
製造方法の実施例の説明に供する工程図(その2)

【図8】



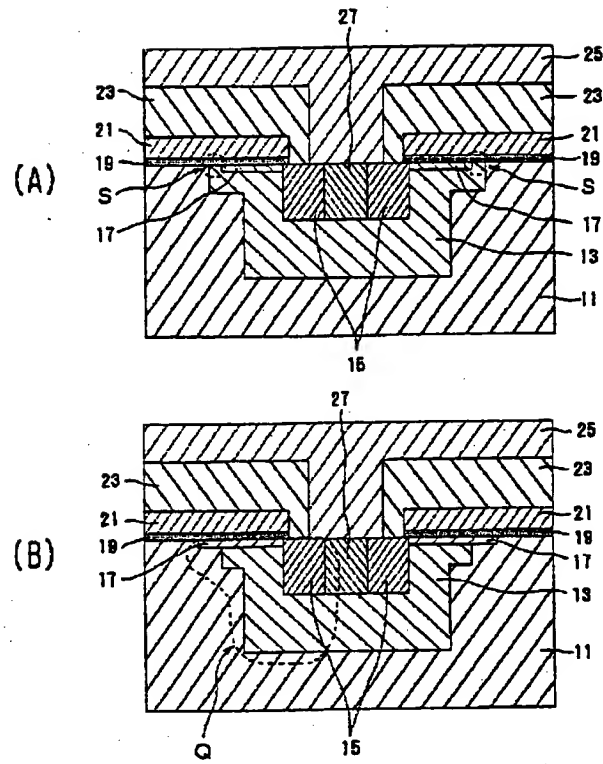
製造方法の実施例の説明に供する工程図(その3)

【図9】



課題の説明図(その1)

【図10】



図面の説明図（その2）